

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-074929

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 21/76
H01L 21/302

(21)Application number : 03-235851

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.09.1991

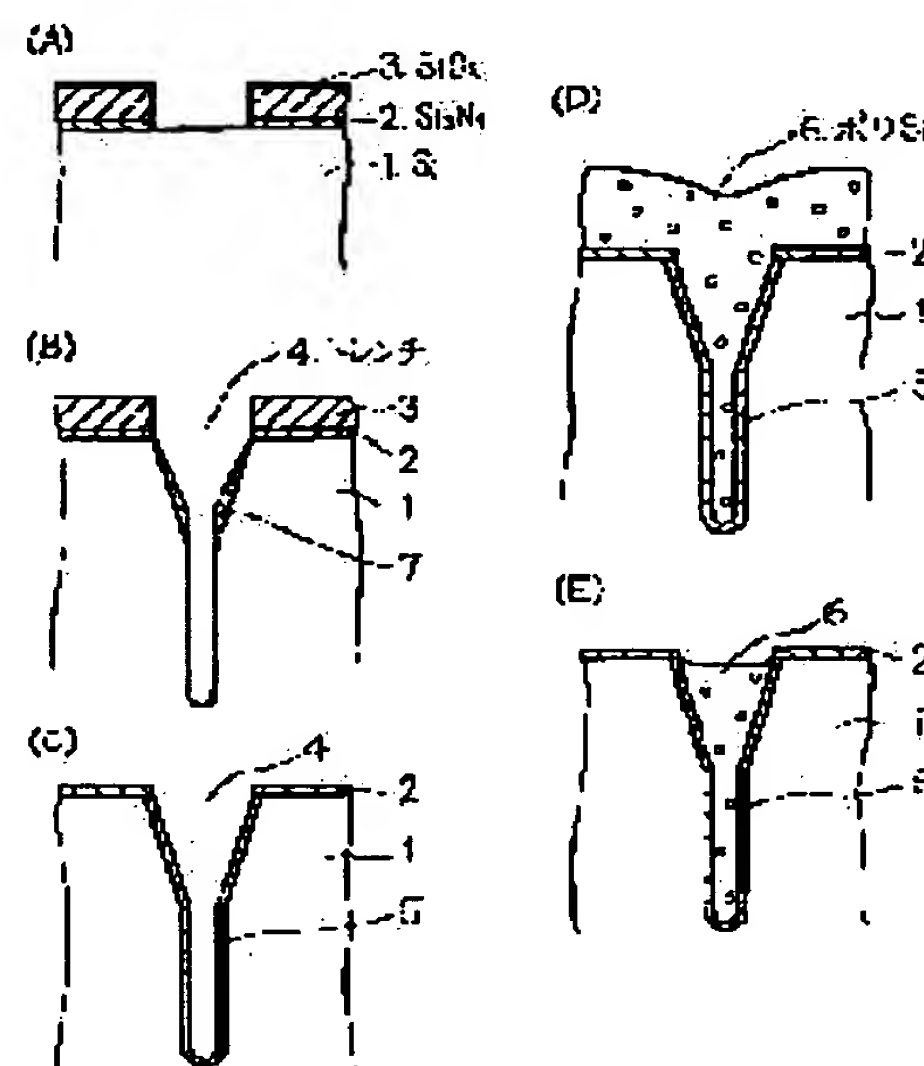
(72)Inventor : HASHIMI KAZUO

(54) PRODUCTION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To facilitate the filling of a trench with a polysilicon, and to suppress crystal defects occurring in an element region when the trench is used for isolating elements with respect to the forming method for a trench.

CONSTITUTION: An etch-resistant coating film 3 having an opening designated for the formation of a trench is formed on a semiconductor substrate 1, and the substrate is etched by anisotropic etching techniques using a gas including silicon tetrachloride (SiCl_4) and nitrogen (N_2) while the coating is masked, so that a trench 4, is formed the internal wall of which is wider at the opening thereof.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-74929

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/76	L	9169-4M		
21/302	F	7353-4M		

審査請求 未請求 請求項の数 1 (全 3 頁)

(21)出願番号 特願平3-235851

(22)出願日 平成3年(1991)9月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 橋見 一生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

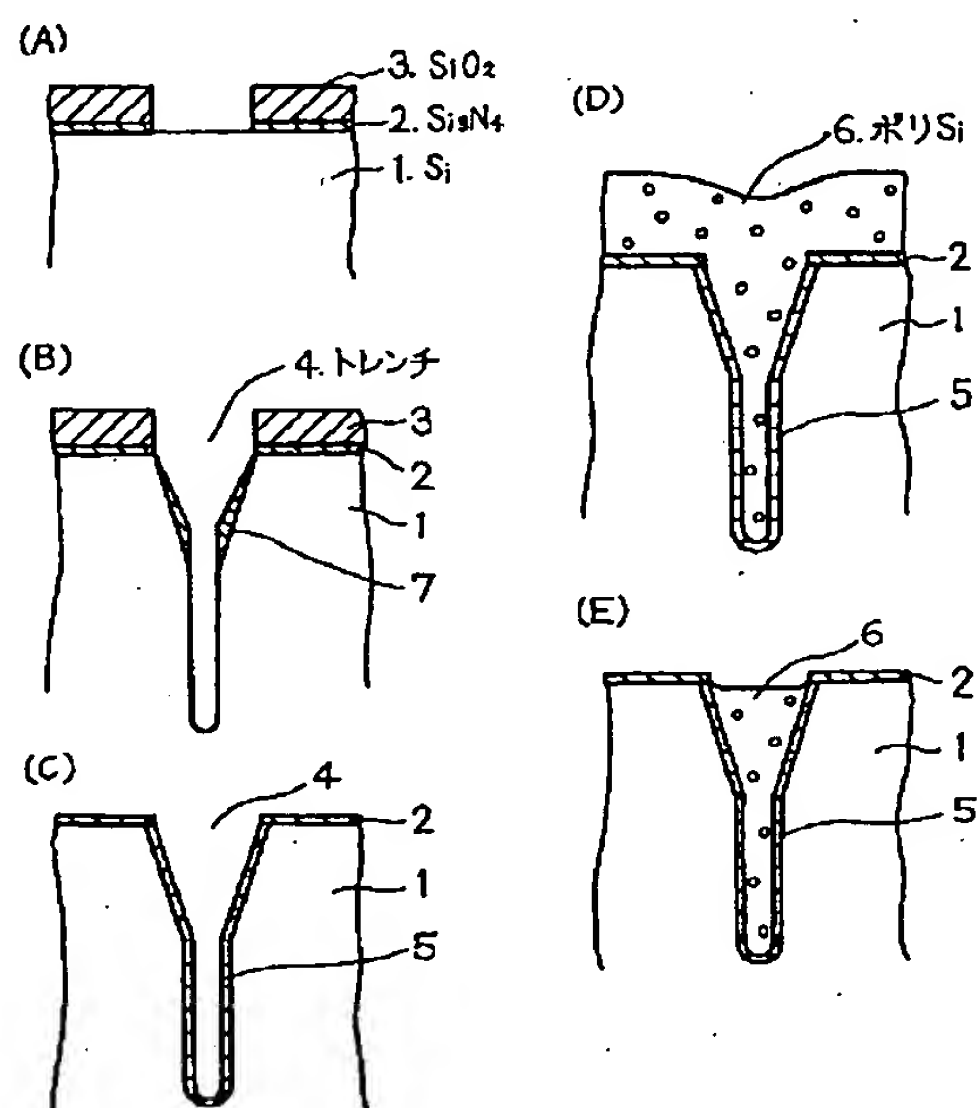
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 トレンチの形成方法に関し、トレンチ内へのポリシリコンの埋込を容易にし、且つトレンチを素子分離に使った場合に素子領域に生ずる結晶欠陥を抑制することを目的とする。

【構成】 半導体基板1上にトレンチ形成部を開口した耐食刻性の被膜3を形成し、該被膜をマスクにして四塩化シリコン(SiCl_4)と窒素(N_2)と不活性ガスとを含むガスを用いた異方性エッチング法により該基板をエッチングして開口部が広がった内壁を有するトレンチ4を該基板に形成するように構成する。

実施例の断面図



【特許請求の範囲】

【請求項1】 半導体基板(1)上にトレンチ形成部を開口した耐食刻性の被膜(3)を形成し、該被膜(3)をマスクにして四塩化シリコン(SiCl_4)と窒素(N_2)と不活性ガスとを含むガスを用いた異方性エッチング法により該基板をエッチングして開口部が広がった内壁を有するトレンチ(4)を該基板に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係り、特に素子分離等に利用されるトレンチの形成方法に関する。

【0002】デバイスの微細化に伴い、半導体基板上にトレンチ(溝)を形成してトレンチ内にポリシリコンを埋め込んで素子分離を行う半導体装置において、素子領域に生ずる結晶欠陥が素子内の接合に達しリークの原因となっていた。

【0003】本発明はこの問題に対処した方法として利用できる。

【0004】

【従来の技術】図2(A)~(F)は従来例によるトレンチ形成を説明する断面図である。図2(A)において、気相成長(CVD)法により、シリコン(Si)基板1上に窒化シリコン(Si_3N_4)膜2と二酸化シリコン(SiO_2)膜3を順に成長し、これらの膜をパターニングしてトレンチ形成領域を開口する。

【0005】図2(B)において、 SiO_2 膜3をマスクにして、異方性エッチングにより基板1にトレンチ4を形成する。次いで、 SiO_2 膜3を除去する。図2(C)において、トレンチ4の内壁に熱酸化による SiO_2 膜5を形成する。

【0006】図2(D)において、CVD法により、ポリシリコン膜6をトレンチ4内を埋め込んで基板上に堆積する。図2(E)において、ポリッシング法により基板表面のポリシリコン膜6を除去すると、ポリシリコンを埋め込んだトレンチによって素子分離が完成する。

【0007】

【発明が解決しようとする課題】図2(F)において、従来のトレンチでは開口部の内壁が基板に垂直に形成されているため、トレンチ上に酸化膜キャップ8を形成した場合、トレンチ上部の角にストレスの集中が起こり結晶欠陥9を生ずるという問題があった。

【0008】また、トレンチ内へのポリシリコンの埋込については、埋込が比較的容易なアンドープのポリシリコンを用いても、微細化されたトレンチ内への埋込は困難であった。

【0009】本発明はトレンチ内へのポリシリコンの埋込を容易にし、且つトレンチを素子分離に使った場合に素子領域に生ずる結晶欠陥を抑制することを目的とする。

る。

【0010】

【課題を解決するための手段】上記課題の解決は、半導体基板(1)上にトレンチ形成部を開口した耐食刻性の被膜(3)を形成し、該被膜(3)をマスクにして四塩化シリコン(SiCl_4)と窒素(N_2)と不活性ガスとを含むガスを用いた異方性エッチング法により該基板をエッチングして開口部が広がった内壁を有するトレンチ(4)を該基板に形成する半導体装置の製造方法により達成される。

【0011】

【作用】本発明ではトレンチの開口部が基板表面に向かって広がって(テーパ形状に)形成できるため、ポリシリコンの埋込が容易になり、且つ酸化膜キャップの形成時に生ずる開口部角のストレス集中が緩和され、素子領域に生ずる結晶欠陥が少なくなる。

【0012】トレンチをテーパ形状に形成するために、本発明者は四塩化シリコン(SiCl_4)と窒素(N_2)と不活性ガスを用いた異方性エッチングによる方法を開発した。

【0013】

【実施例】図1(A)~(E)は本発明の一実施例によるトレンチ形成を説明する断面図である。

【0014】図1(A)において、CVD法により、Si基板1上に厚さ1000Åの Si_3N_4 膜2と厚さ8000Åの SiO_2 膜3を順に成長し、これらの膜をパターニングしてトレンチ形成領域を開口(開口幅0.8μm)する。

【0015】図1(B)において、 SiO_2 膜3をマスクにして、異方性エッチング法として反応性イオンエッチング(RIE)法を用いて基板1にトレンチ4を形成する。トレンチ4は深さ4.5μm、上部の開口幅0.8μm、下部の開口幅0.25μmである。

【0016】トレンチ4をテーパ形状に形成するためのRIE条件の一例を次に示す。

エッチングガス:	SiCl_4	200 SCCM
	N_2	40 SCCM
	He	30 SCCM
ガス圧力:	0.10 Torr	
RF 電力:	450 W	
エッチング時間:	330 sec	

上記のHeについては、不活性ガスであれば何でもよい。

【0017】エッチングの際、トレンチ4の内壁の斜面に堆積物7が堆積する。次いで、 SiO_2 膜3と堆積物7とを同時に除去する。この際の除去条件の一例は、5%のフッ酸(HF)に3分浸漬する。

【0018】図1(C)において、トレンチ4の内壁に熱酸化による厚さ500Åの SiO_2 膜5を形成する。図1(D)において、CVD法により、ポリシリコン膜6をトレンチ4内を埋め込んで基板上に堆積する。

【0019】図1(E)において、ポリッシング法により、 Si_3N_4 膜2をストップとして基板表面のポリシリコン膜6を除去すると、ポリシリコンを埋め込んだトレン

チによって素子分離が完成する。

【0020】

【発明の効果】トレンチ内へのポリシリコンの埋込が容易になり、且つトレンチを素子分離に使った場合に素子領域に生ずる結晶欠陥を抑制することができた。

【0021】この結果、素子領域の接合破壊の発生を抑制することができた。

【図面の簡単な説明】

【図1】 本発明の一実施例によるトレンチ形成を説明する断面図

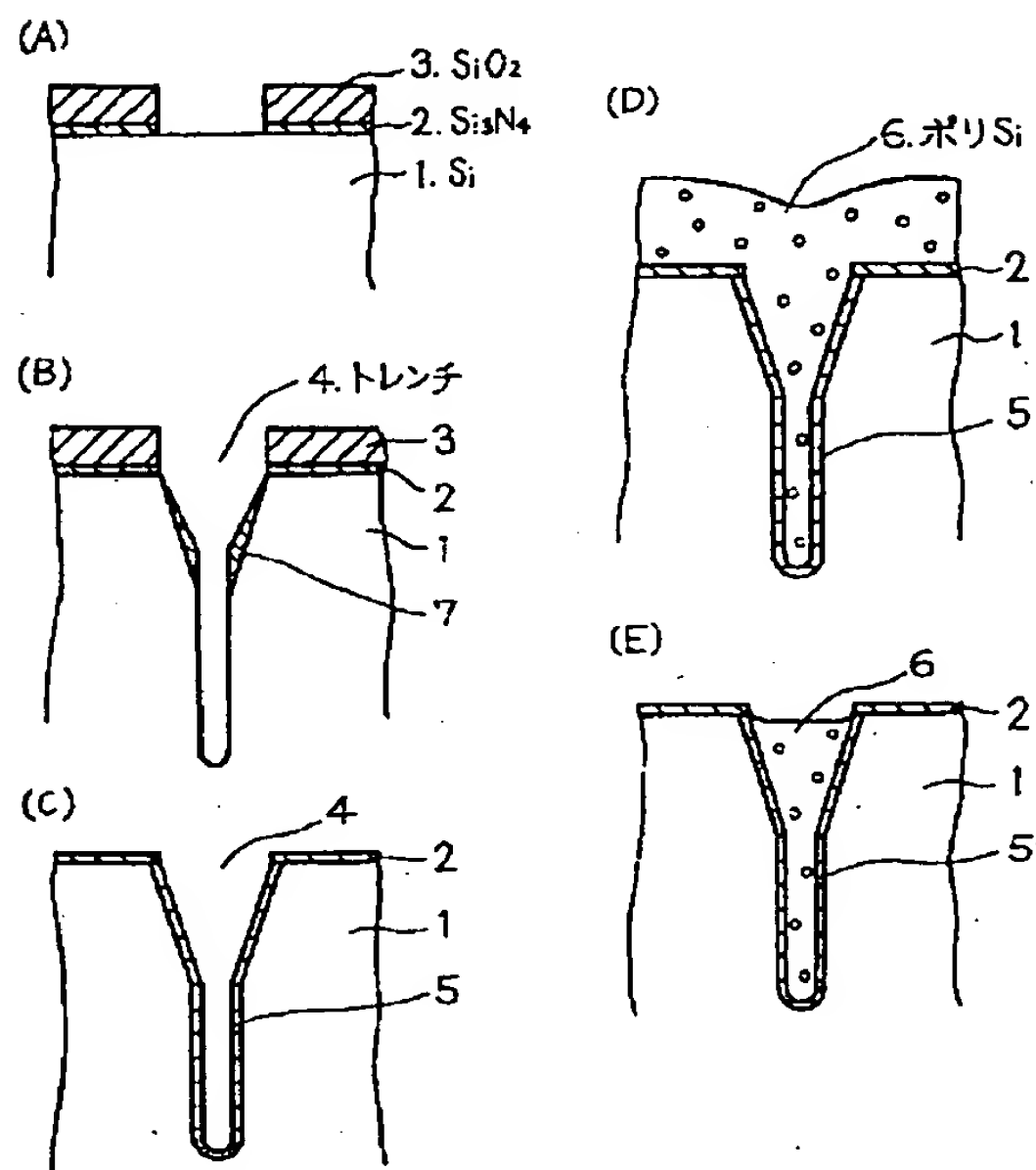
【図2】 従来例によるトレンチ形成を説明する断面図

【符号の説明】

- 1 半導体基板でSi基板
- 2 Si_3N_4 膜
- 3 耐食刻膜で SiO_2 膜
- 4 トレンチ
- 5 熱酸化 SiO_2 膜
- 6 ポリシリコン膜
- 7 堆積物
- 8 酸化膜キャップ
- 9 結晶欠陥

【図1】

実施例の断面図



【図2】

従来例の断面図

